

基于 SerDes 的多速率 STM-N 自适应转发系统实现

范镇淇^{1,2}, 韩玉萌^{1,2}, 汤辉^{1,2}, 程程^{1,2}, 周熠^{1,2}, 汪洵^{1,2}

1. 国网电力科学研究院有限公司(南瑞集团有限公司), 江苏 南京; 2. 南京南瑞信息通信科技有限公司, 江苏 南京

摘要 | 针对电力通信网汇聚层纤芯资源有限, 现网大量存量设备输出的同步传输模块 N 级 (Synchronous Transport Module-N, STM-N) 信号为灰光、无法直接接入波分复用 (Wavelength Division Multiplexing, WDM) 系统, 而传统同步数字体系 (Synchronous Digital Hierarchy, SDH) 设备及专用适配方案难以兼顾多速率 (155 Mbps~10 Gbps) 与低成本部署需求, 本文提出一种基于串行器/解串器 (Serializer/Deserializer, SerDes) 的多速率 STM-N 自适应转发系统。系统采用混合时钟恢复架构, 低速通道采用 8 倍过采样, 高速通道采用时钟数据恢复 (Clock and Data Recovery, CDR), 通过微控制单元 (Microcontroller Unit, MCU) 实现多速率动态切换, 并通过检测偏差及利用比例控制算法管理先进先出 (First-In-First-Out, FIFO) 缓冲区水位线, 实现频偏补偿与无损传输。实验结果表明, 系统在 155 Mbps~10 Gbps 全速率范围内可实现稳定的多速率自适应转发, 各速率等级的恢复时钟频偏均优于 ITU-T G.813 标准要求, 眼图张开度良好, 长期运行无误码; 系统基于国产 FPGA 实现, 资源占用率较低; 经 8 个密集波分复用 (Dense Wavelength Division Multiplexing, DWDM) 标准波长通道验证, 系统具备灰光-彩光转换场景下的波长适应能力。本文为电力通信网汇聚层存量 STM-N 设备的平滑演进提供了可行的技术路径。

关键词 | SerDes; 过采样; 多速率切换; 时钟恢复; ;SDH; 波长转换

Copyright © 2026 by the author(s).

This article is licensed under a [Creative Commons Attribution-NonCommercial 4.0 International License](https://creativecommons.org/licenses/by-nc/4.0/).

<https://creativecommons.org/licenses/by-nc/4.0/>



引言

随着新型电力系统建设的深入推进, 电力光通信网络的承载能力与适配灵活性面临更高要求。在

电力系统中, 同步传输模块 N 级 (STM-N) 接口广泛应用于继电保护、智能调度等关键业务场景^[1]。以智能变电站为例, 业务数据经复用后纳入 SDH 传输体系, 通过 STM-N 接口实现站间保护信号与实时

基金项目: 南京南瑞信息通信科技有限公司科技项目“支撑分布式光伏可调可控的关键通信设备研发及应用”(5246DR 260013)

作者简介: 范镇淇, 国网电力科学研究院有限公司副高级工程师, 硕士, 主要从事接入型 OTN 技术方向研究; 韩玉萌, 国网电力科学研究院有限公司, 硕士, 主要从事光传输设备研究、嵌入式平台软件研发方向研究。

文章引用: 范镇淇, 韩玉萌, 汤辉, 程程, 周熠, 汪洵. 基于 SerDes 的多速率 STM-N 自适应转发系统实现[J]. 应用科技研究, 2026, 1 (3) : 131-143.

<https://doi.org/10.68070/ygz1xx86>

数据的可靠传输^[2,3]。然而,传统 SDH 设备功能完整但冗余、功耗高、体积大,难以适应边缘侧与嵌入式场景的部署需求^[4]。与此同时,分布式能源接入、配电自动化及负荷精准控制等新业务的快速发展,推动电力通信网络从单一业务承载向多业务综合承载演进^[5]。

上述 STM-N 业务需经汇聚层向核心层主站系统汇聚,汇聚点的处理能力受限于设备容量及光缆纤芯资源。受建设成本制约,汇聚点纤芯数量有限,难以随业务增长而无限扩展,成为制约网络扩容的瓶颈。波分复用(Wavelength Division Multiplexing, WDM)技术可在单根纤芯中同时承载多个波长的信号传输,是提升纤芯利用率、突破物理资源限制的主要手段。但在实际部署中,多路业务信号往往使用相同波长,且现网大量存量设备输出的 STM-N 信号均为标准波长,均需经波长转换后方可复用传输。因此,汇聚层需部署具备多速率 STM-N 适配与波长转换能力的板卡,这对适配设备的速率自适应能力提出了现实需求。

现有 STM-N 适配转发主要依赖三类技术途径:传统 SDH 设备^[6]、专用映射芯片,以及基于 FPGA 的透明传输方案^[7]。三者分别受限于设备冗余、功能固化与速率适配能力,均难以兼顾多速率动态接入、物理层透明转发与低实现复杂度。从行业趋势看,SDH 正逐步向新一代承载技术演进,存量 STM-N 设备的平滑过渡是共性难题^[8]。

在时钟数据恢复(CDR)环节,已有 2~10 Gbps 可扩展 CDR 架构^[9]、4~10.5 Gbps 全数字 CDR 方案^[10]及 3.125~28.125 Gbps 注入锁定 CDR 方案^[11]等研究成果。但上述工作多聚焦于单速率或相邻速率区间,未在 STM-1(155 Mbps)至 STM-64(10 Gbps)跨数量级全速率范围内进行系统验证,亦未针对电力专网场景下存量 STM-N 设备透传接入的物理层适配需求进行架构优化;且当前 FPGA 芯片硬件 CDR 模块仅支持速率 1 Gbps 以上,低速信号因跳变边沿密度不足,CDR 无法可靠跟踪对端时钟相位。频率漂移跟踪方面则主要针对恒温晶振老化补偿^[12],对多速率动态切换下恢复时钟频偏控制关注不足。此外,在 WDM 接入场景中,STM-N 信号从灰光到彩光的波长转换对转发链路的时钟连续性与透传可靠性提出了额外要求。

针对上述问题,本文提出一种基于 SerDes 的多速率 STM-N 自适应转发系统。系统采用混合时钟恢复架构:低速通道(STM-1/4)基于 FPGA 逻辑实现过采样算法,高速通道(STM-16/64)调用芯片内嵌硬件 CDR 模块。两种方案通过 MCU 串口指令实现动态切换,覆盖 155 Mbps~10 Gbps 速率范围;切换由 MCU 主动控制,切换完成后由比例控制算法实现频偏补偿与无损传输。测试结果表明,恢复

时钟与接收数据时钟偏差始终保持在允许范围内,可保障电力业务数据在波长转换过程中的正常透传。

1 系统架构设计

1.1 整体系统框架

本文所提基于 SerDes 的多速率 STM-N 自适应转发系统整体框架如图 1 所示。系统以 SerDes 为核心,FPGA 通过串口接收 MCU 下发的配置指令,经指令解析模块译码后,对 SerDes 内部寄存器进行动态配置,独立控制各通道(Lane)的工作模式,实现 STM-1/4/16/64 四种速率等级的软件可重构,以适应动态变化的带宽需求。同时,MCU 也可通过串口读取指令实时监测链路状态(频差等),上报异常情况。

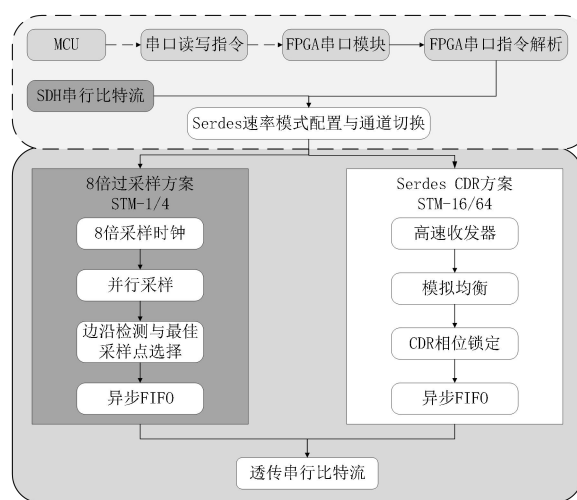


图 1 系统整体框架

Fig. 1. Overall System framework

系统开始工作时,SDH 串行比特流经 SerDes 通道^[13]输入,根据速率等级选择相应的时钟恢复路径:低速业务(STM-1/4)采用 8 倍过采样方案,经并行采样、边沿检测与最佳采样点选择后恢复数据;高速业务(STM-16/64)通过 SerDes 内嵌的高速收发器,经模拟均衡与 CDR 相位锁定后恢复数据^[14],两种方案通过 MCU 控制的信号选通机制实现动态切换。

恢复后的数据统一写入异步 FIFO,由比例控制算法实时监测 FIFO 水位并动态调整读取时钟——当 FIFO 水位偏移预设门限时,算法动态调节读取时钟,补偿 SerDes 与系统时钟之间的频偏,实现“配置→调节→锁定”的无缝切换。各通道恢复数据经 FIFO 同步后,以透传方式输出串行比特流,完成 STM-N 信号的透明转发。此外,系统具备跨通道时钟同步能力——任意两路通道之间,一路通道的发送时钟可配置为跟踪另一路通道从串行数据中恢复的接收时钟,以满足多路 STM-N 业务间的时钟同源

需求。通过“过采样+CDR”协同配合,系统完成了从 155Mbps (STM-1) 至 10Gbps (STM-64) 范围内多速率 STM-N 业务的高效转发与可靠透传。

1.2 时钟域管理单元

时钟域管理单元是支撑混合时钟恢复架构稳定运行的底层保障。在过采样算法与硬件 CDR 两种方案协同工作的过程中,系统需同时处理多个时钟源:外部参考时钟、过采样恢复时钟、硬件 CDR 恢复时钟及各通道的发送/接收时钟。上述时钟频率不同、相位异步,若管理不当将导致数据采样错误或 FIFO 读写冲突。因此,时钟域管理单元需解决多时钟源共存、动态切换同步及亚稳态抑制等关键问题。

本单元采用图 2 所示的分层式架构,包含四大模块:时钟切换逻辑控制、弹性缓冲管理器(异步 FIFO)、时钟生成与分配网络及同步与亚稳态处理单元。四个模块协同工作,遵循“先选源、再缓冲、后同步”的流水线式处理秩序,依次完成时钟源选择、跨域数据缓存、基准时钟分配与跨时钟域同步处理,形成从时钟输入到数据稳定输出的完整处理链路。时钟生成与分配网络为上述各模块提供所需的基准时钟与分频时钟,是保证各模块时序正确的先决条件。

时钟切换逻辑控制负责速率切换前后时钟分频系数的调整与时钟源选择,可根据控制信号 sel 配置发送端(TX)所跟踪的时钟源(本通道或其他通道的接收端(RX)恢复时钟),实现 MCU 信号选通机制下的灵活时钟跟随;弹性缓冲管理器(异步 FIFO)实时监测 FIFO 水位,配合比例控制算法动态调节读写时钟,防止溢出或欠载,与 1.1 节所述比例控制 FIFO 调节机制对应;时钟生成与分配网络负责生成覆盖 STM-N 全速率范围的时钟信号,支持外部晶振与 CDR 恢复时钟等多源选择,并确保时钟树具备低抖动、低偏斜特性;同步与亚稳态处理单元通过多级寄存器同步与整型滤波消除跨时钟域亚稳态风险,确保控制信号与数据的可靠同步。以过采样数据恢复中的边沿判断为例,为消除亚稳态风险并保证数据平滑,该单元采用整型滤波方式去除数据突变,即对跳变边沿前后的电平进行多次采样,通过多数判决滤除边沿附近的毛刺干扰,保证相位锁定环路的稳定性与可靠性。

此外,为避免系统配置完成后 SerDes 短期内无法及时接收数据或相关模拟参数失效,从而导致时钟无法正常恢复及时钟域管理单元异常,系统增设自愈模块:当 SerDes 配置完成后无法接收有效数据时,对相应通道执行反复复位,直至时钟恢复正常。

上述分层式架构将时钟管理功能按“时钟分配→数据缓冲→同步处理”三级分离,确保了时钟域管理单元内部不存在反馈环路,简化了时序收敛难

度,同时保证各模块功能边界清晰、相互独立。可在不引入复杂全局时钟网络的前提下,实现多速率切换场景下的时钟资源灵活调度与跨时钟域数据的可靠交换。

1.3 时钟恢复机制

1.3.1 STM-1/4的过采样处理机制

本系统在处理低速业务(STM-1/4)时,以 8 倍于数据速率的时钟对输入数据进行采样。采样后的数据经 PCS 处理后送入 RX 侧用户逻辑用于数据恢复,工作过程如图 3 所示。

过采样数据输入至过采样恢复模块后,首先经式(1)所示的两级同步器消除亚稳态;随后进行边沿检测,即按 Bit/Byte 位检测接收数据的跳变沿,通过比较相邻采样点的电平值,识别 0→1 或 1→0 的跳变。若当前数据拍中存在跳变沿,则进一步确定其所在的字节位置,将边沿位置量化为 3 位信号 edge_offset (取值 0~7),指示跳变发生在哪个采样区间;若无跳变沿,则沿用上一拍的边沿位置或默认位置。在确定跳变沿位置后,选择距离跳变沿最远的采样点作为有效数据进行恢复。由于目标相位与当前相位之间存在一定误差,系统采用比例控制算法对误差进行补偿,实现相位的快速锁定,并实时更新采样点位置,最终输出稳定的数据。

$$\begin{cases} \text{data_din_1dly} \leq \text{data_din} \\ \{\text{data_tmp_1dly} = \{\text{data_din_1dly}, \text{data_din}\} \end{cases} \quad (1)$$

此外,系统增加了抗抖动设计:对检测到的边沿位置进行锁存,并在相位调整模块中引入边沿滤波机制——仅当连续多个周期检测到相同的边沿位置时,方确认该边沿位置有效。同时,采用整型滤波方式去除数据突变,使数据波形平滑。对应的伪代码逻辑如下:

```
if (连续 3 次检测到相同边沿位置)
begin
    phase <= new_phase; // 确认相位调整
end
```

1.3.2 STM-16/64的CDR处理机制

STM-16/64 的时钟恢复由芯片内嵌硬件 CDR 模块完成^[15],工作流程如图 4 所示。高速串行信号经接收端输入后,首先经过物理介质接入层(Physical Medium Attachment, PMA)的连续时间线性均衡器

(Continuous Time Linear Equalizer, CTLE)与模数转换器(Analog-to-Digital Converter, ADC),对信道损耗进行补偿并将信号数字化;随后经前馈均衡器(Feed-Forward Equalizer, FFE)与判决反馈均衡器(Decision Feedback Equalizer, DFE)消除码间串扰,完成信号均衡与数据判决。均衡后的数据送入 CDR 模块,CDR 以外外部高频参考时钟(HSREF)作

为频率基准，结合接收信号中的边沿信息恢复出数据时钟。恢复后的数据（RX_DATA）与时钟（RX_CLK）同步输出至后续逻辑处理单元^[16]。该

CDR 模块支持 STM-16/64 两种速率等级的时钟恢复，无需额外配置即可自适应锁定。

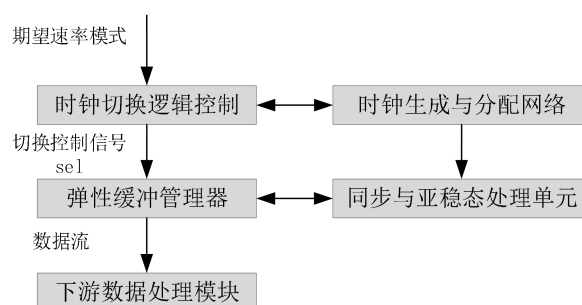


图 2 时钟域管理单元架构

Fig. 2. Clock domain management unit architecture

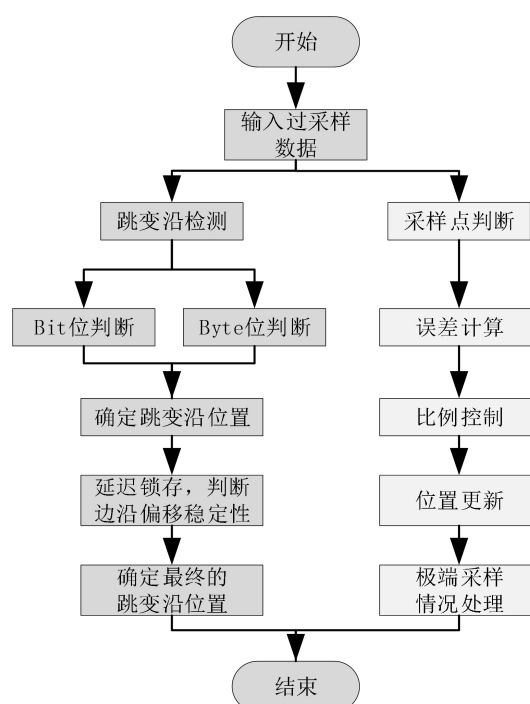


图 3 过采样工作流程

Fig. 3. Oversampling workflow

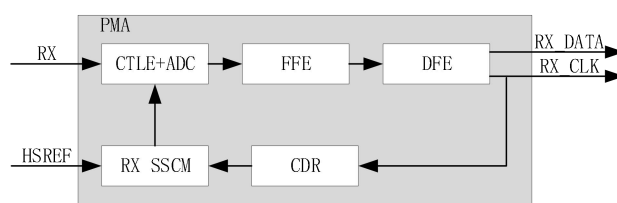


图 4 STM-16/64 CDR 实现

Fig. 4. STM-16/64 CDR Implementation

1.4 时钟跟随与多速率切换

1.4.1 时钟频率差值检测与分级跟随机制

本系统采用闸门计数比对型方法实现时钟频率差值检测,原理如图 5 所示。以板载 25 MHz 晶振作为时间参考源,经基准闸门计数器分频后产生 1 s 测量闸门信号 (Gate); 该闸门信号同时作用于 SerDes RX 恢复时钟域与 TX 发送时钟域,分别在 RX 恢复时钟域与 TX 发送时钟域进行脉冲计数,闸门关闭后计算两域计数值差值 $\Delta f = \text{cnt}_{\text{rx}} - \text{cnt}_{\text{tx}}$,该差值表征两时钟之间的频率偏差,输出至分级跟随控制逻辑。

频率差值检测完成后,系统依据 Δf 的大小执行分级调节。调节逻辑如图 6 所示:当 $\Delta f > 3000$ 时,采用大步长快速缩小频差;当 $3000 \geq \Delta f > 1000$ 时,采用中步长调整;当 $100 < \Delta f \leq 1000$ 时,采用小步长调整,同时在该阶段当 $\Delta f \leq 500$ 时,系统判定频率已基本锁定,进入精调阶段。在精调阶段,控制逻辑同时读取 FIFO 水位值,当水位处于“理想水位值 ± 512 ”范围内时,进一步更新调整步长,实现读时钟对写时钟的精细跟随。通过上述“频差粗调锁定+水位精调跟随”的分级调节策略,系统可在不同频偏条件下自适应调整时钟跟随参数,确保跨通道时钟同步的快速性与稳定性。

1.4.2 多速率切换流程

系统支持 STM-1/4/16/64 四种速率等级的在线切换,切换流程由 MCU 主动控制,具体过程如下:

(1) 速率切换指令下发。当业务需求变化时,MCU 通过串口向 FPGA 下发速率切换指令。指令格式为 14 字节:前 6 字节为指令标识字段,用于区分读/写操作——写操作标识为 WR_CMD,读操作标识为 RD_CMD;随后 4 字节为目标寄存器地址 (如 00b0 0000);最后 4 字节为待写入的速率配置参数,包含目标速率等级及对应的时钟恢复方案选择信息。FPGA 串口指令解析模块接收并译码该指令后,生成切换控制信号。

(2) 时钟源切换。时钟切换逻辑控制模块根据切换控制信号 sel 选择目标速率对应的时钟源:若目标速率为 STM-1/4,则选通过采样恢复时钟;若目标速率为 STM-16/64,则选通硬件 CDR 恢复时钟。

(3) 时钟分频系数调整。时钟生成与分配网络根据目标速率等级动态调整分频系数,生成适配当前速率等级的基准时钟与随路时钟,确保各模块在目标速率下时序正确。

(4) 数据通路重建。弹性缓冲管理器在切换瞬间可能出现短时溢出或欠载,切换完成后由比例控

制算法重新建立 FIFO 水位平衡,实现读写速率匹配。切换过程中允许数据短时中断,但切换完成后系统在新速率下重新进入稳定运行状态,各速率等级均满足 ITU-T G.813 频偏要求。

(5) 切换状态回读确认。MCU 通过串口向 FPGA 发送读指令 (标识为 RD_CMD),读取链路状态信息 (时钟锁定、误码率等)。MCU 确认系统在新速率下稳定运行后,完成本次速率切换流程。

上述切换流程中,不同速率等级对应的时钟恢复路由由硬件 CDR 速率下限决定——STM-1/4 采用过采样算法、STM-16/64 采用硬件 CDR,两者通过 MCU 控制的信号选通机制实现动态切换,共同构成覆盖 155 Mbps~10 Gbps 全速率范围的多速率自适应工作流程。

MCU 与 FPGA 之间的串口指令采用固定 14 字节格式,由指令标识、寄存器地址和数据字段三部分组成,如表 1 所示。

以速率切换为例,MCU 向地址 00b0 0000 的寄存器写入速率配置参数的写指令格式为:

WR_CMD 00b00000 XXXX XXXX

其中,XXXX XXXX 为待写入的速率配置参数,对应目标速率等级 (STM-1/4/16/64) 及时钟恢复方案选择信息。读指令格式为:

RD_CMD 00b00000 0000 0000

MCU 通过上述读写指令完成对 FPGA 内部寄存器的配置与状态回读,实现速率切换的控制与确认。

2 过采样相位锁定算法

2.1 过采样系统设计

如前文 1.3.1 节所述,STM-1/4 采用 8 倍过采样算法恢复时钟。过采样系统结构如图 7 所示,SerDes 接收通道以 8 倍于串行数据速率的采样率对输入信号进行过采样,在 CDR 设为非锁定模式时将串行数据转换为并行数据,并输出随路时钟。采样后的并行数据首先送入 8 倍采样恢复模块,通过检测数据跳变沿位置、选择距边沿最远的采样点完成相位锁定与数据恢复,恢复后的数据输出至位宽转换模块。位宽转换模块将 4 bit 并行数据拼接为 8 bit 数据,由于收发时钟不同源,相位差周期性累积会导致重复采集或漏采,该模块对缺失数据补齐或舍弃重复数据。数据随后写入 FIFO 模块,以接收侧用户时钟写入、以发送侧用户时钟读出,实现跨时钟域的数据缓冲与速率匹配。频率控制调整模块实时获取 FIFO 水位值及收发侧频率差值,动态调节读时钟频率,形成闭环速率调节。

表 1 串口指令格式

Tab. 1. Serial port command format

字段	字节数	读指令	写指令	说明
指令标识	6	RD_CMD	WR_CMD	区分读/写操作
寄存器地址	4	00b0 0000 (示例)	00b0 0000 (示例)	指定目标寄存器
数据字段	4	0000 0000	待写入数值	读操作时默认填充 0

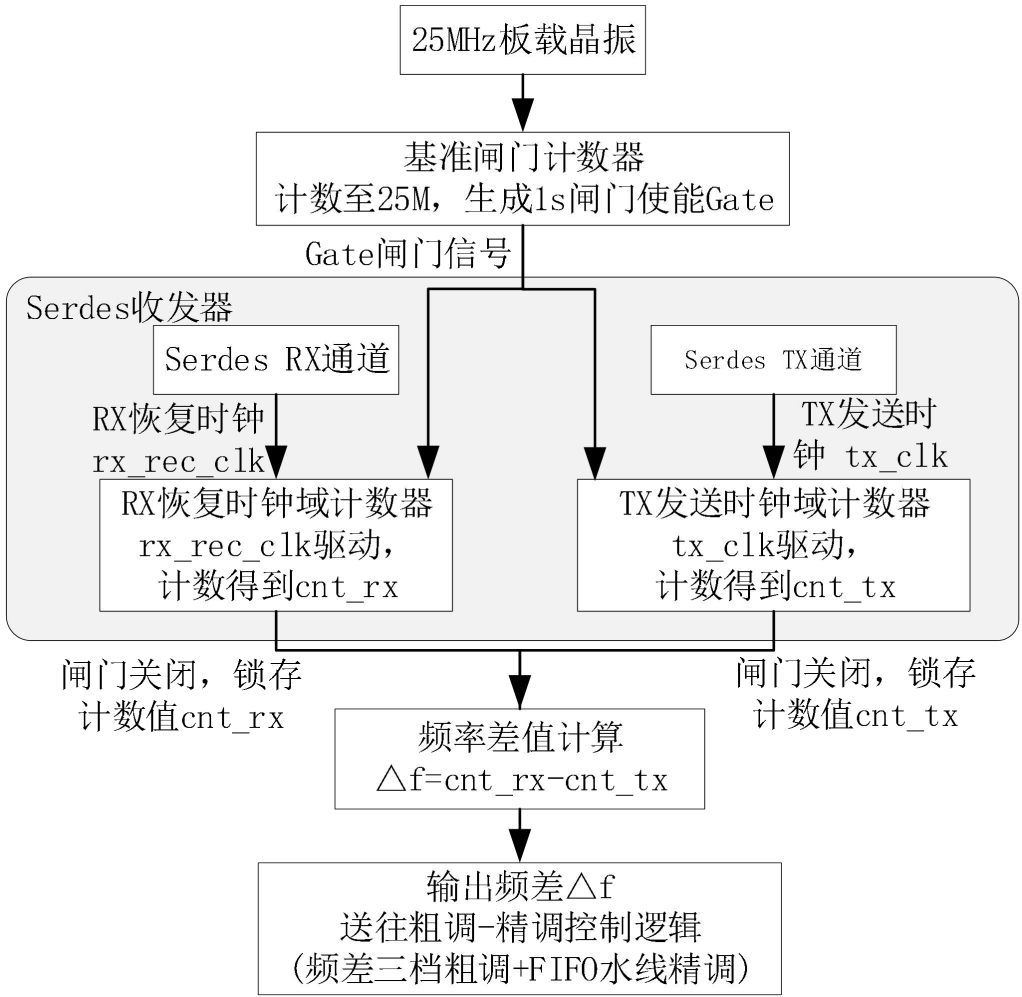


图 5 频差检测原理

Fig. 5. Frequency Difference Detection Principle

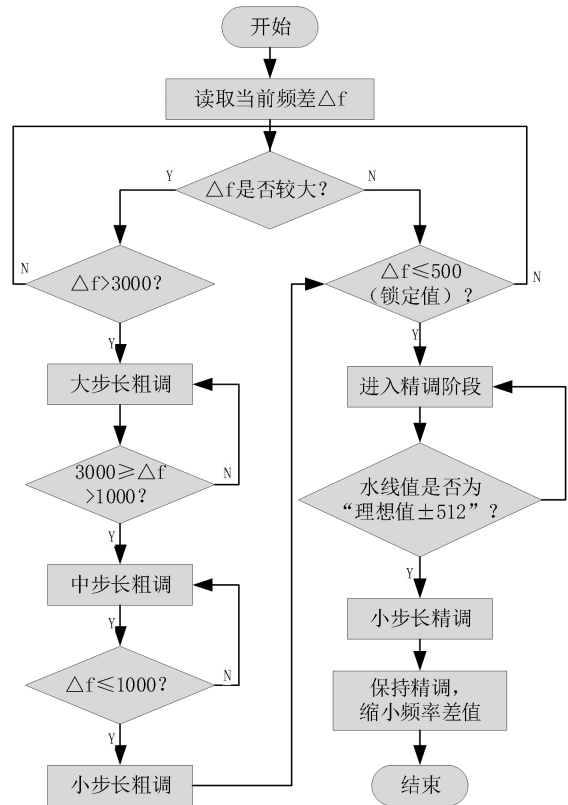


图 6 分级跟随机制

Fig. 6. Hierarchical Follow-up Mechanism

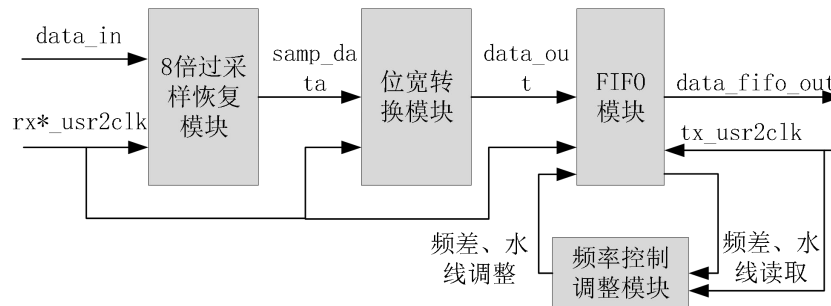


图 7 过采样系统结构

Fig. 7. Oversampling system structure

2.2 相位锁定算法

过采样恢复的核心在于采样点的定位。系统采用比例控制算法（Proportional Control, P 算法）实现对采样点与目标位置之间相位误差的调节，从而实时调整最佳采样位置。最佳采样点应避开信号跳变边沿，选择跳变后数据稳定的区域作为有效数据进行恢复，目标采样位置按式（2）设定。

$$P_{des} = P_{edge} + W_{data}/2 \quad (2)$$

其中，

P_{des} 为目标位置，
 P_{edge} 为跳变沿位置，
 W_{data} 为自定义的用户数据位宽，用于静态偏移补偿，确保采样点避开边沿。

确定期望采样位置后，按式（3）计算当前采样位置与目标位置之间的相位误差，以判断误差方向；随后按式（4）进行符号扩展及低位补零左移操作，以放大误差调整步长，得到所需反馈量，用于后续比例控制以加快收敛速度。符号扩展位数及低位补零位数可根据实际需求配置，以调整合适的收敛速度，避免因收敛速度过快而引入系统振荡。

$$\Delta P = P_{des} - P_{smp} \quad (3)$$

其中,

ΔP 为相位误差,

P_{smp} 为当前采样位置;

$$P_{fdbk} = \left\{ \left\{ N \{ \Delta P[M] \} \right\}, \Delta P, Q'b0 \right\} \quad (4)$$

其中,

P_{fdbk} 为反馈量,

N 为符号扩展的位数,

M 为 ΔP 的符号位,

Q 为低位拼接的 0 的位数;

为增强算法的可复现性, 过采样相位锁定算法的主要参数及取值依据如表 2 所示。

表 2 过采样相位锁定算法主要参数设置

Tab. 2. Main parameter settings for the oversampling phase locking algorithm

参数	取值	取值依据
过采样倍数	8	保证边沿检测分辨率(采样间隔 1/8 UI), 兼顾资源开销
边沿位置量化位数	3 位 (0~7)	对应 8 个采样区间的边沿位置量化
滤波确认周期数	3	滤除边沿抖动引起的虚假跳变
符号扩展位数	2 位 (默认)	与补零位数配合, 平衡收敛速度与稳定性
低位补零位数	3 位 (默认)	同上

其中, 符号扩展位数与低位补零位数共同决定比例控制的调整步长。上述参数中, 过采样倍数、边沿位置量化位数及滤波确认周期数为算法固定参数, 不随速率切换而改变; 符号扩展位数与低位补零位数根据当前工作速率等级动态调整。

上述相位误差经比例控制算法处理后, 生成与误差成比例的调整量, 用于实时修正采样位置。其核心思想是: 调整量与相位误差成正比——相位误差越大, 调整步长越大; 相位误差越小, 调整步长越小, 从而使采样位置快速逼近目标位置并在目标位置附近保持稳定。与积分控制或微分控制相比, 比例控制无需存储历史误差信息, 计算复杂度低, 更适合在 FPGA 逻辑中实现。在本设计中, 比例控制算法与符号扩展、低位补零操作配合使用, 通过符号扩展与低位补零操作调整误差放大倍数, 在收敛速度与系统稳定性之间取得平衡。

基于上述反馈量, 对实际采样位置的调整逻辑如下所示:

(1) 若当前采样位置 P_{smp} 低于目标位置 P_{des} , 则

$$\Delta P > 0 \Rightarrow P_{fdbk} < 0 \Rightarrow P_{smp} \text{ 增加};$$

(2) 若当前采样位置 P_{smp} 高于目标位置 P_{des} , 则

$$\Delta P < 0 \Rightarrow P_{fdbk} > 0 \Rightarrow P_{smp} \text{ 减小};$$

当系统稳定时, ΔP 的平均值趋近于 0, 则

$$\Delta P = 0 \Rightarrow P_{edge} - P_{smp} + \frac{W_{data}}{2} = 0$$

可解得,

$$P_{smp} = P_{edge} + \frac{W_{data}}{2} \quad (5)$$

由式 (5) 可知, 系统稳定工作时, 过采样的最佳采样位置将保持在期望的目标位置附近。本文通过比例控制算法实现上述调整过程, 依据式 (6) 实时调节采样位置, 使实际采样位置在目标位置附近保持动态平衡。

$$\begin{cases} P_{smp} = P_{smp} + P_p \\ P_p = K_p \cdot P_{fdbk} \end{cases} \quad (6)$$

其中,

P_p 为比例控制下的输出量,

K_p 为比例增益。

3 实验与验证

3.1 测试平台搭建

为验证上述方案的可行性, 搭建测试环境。所设计系统承载于电力小波分设备中的 SDH 板卡(如图 8 所示), 该板卡以国产 FPGA 为核心, 集成 10 路 SerDes 通道, 支持 STM-1/4/16/64 四种速率等级的业务接入与转发。板卡输入侧采用灰光模块接收来自用户侧设备的 STM-N 信号, 经系统完成多速率自适应转发与时钟恢复后, 输出侧通过彩光模块接入波分复用(WDM)系统, 实现灰光-彩光转换后的波长复用传输。测试平台由以下部分组成:

(1) 业务源设备: 两台华为 OSN3500 设备, 用于提供 STM-1/4/16/64 标准速率业务信号, 并接收经系统转发后的回传信号进行对比分析。

(2) 被测板卡：承载本设计的 SDH 板卡，集成于电力小波分设备中，完成 STM-N 信号的多速率自适应转发与灰光-彩光转换。

(3) 测试仪表：采用光传输分析仪，用于误码性能测试与眼图分析；采用频率计，用于测量恢复时钟频偏。

3.2 资源评估与功能验证

3.2.1 资源消耗分析

本设计基于国产 FPGA 实现，其 LUT 与 DFF 资源总量分别约为 54 万与 49 万。资源消耗如表 3 所示，LUT(Look-Up-Table, 查找表)与 REG(Register, 寄存器)消耗分别约为 2.94 万和 4.67 万，占用率分别为 5.44%与 9.45%，远低于 FPGA 设计工程中普遍建议的资源占用上限(70%~80%)，资源裕量充足，有利于布局布线与时序收敛；ERAM20K 消耗 370 个，用于多通道 FIFO 缓冲。PLL 未使用；GCLK(Global Clock, 全局时钟)消耗 26 个；SerDes 通道消耗 12 个。整体资源分配与功能需求匹配。

与文献^[17]相比，该方案基于 Zynq UltraScale+ MPSoC 平台(ARM 硬核辅助)，LUT/FF 消耗为 5257/4954，支持单一万兆速率；本设计基于纯 FPGA

逻辑，LUT/REG 消耗为 29401/46653，支持 155Mbps~10Gbps 四个速率等级及 10 路 SerDes 并行处理。资源开销虽高于单一速率方案，但考虑到本设计在无 ARM 辅助条件下实现了跨四个速率等级的自适应转发及多通道并行处理，功能复杂度显著提升，且各项资源占用率均低于工程经验阈值，资源利用处于合理范围。

3.2.2 波长转换测试

为验证系统在不同波长条件下的信号透传能力，测试将输入的 1310 nm 标准波长 STM-N 信号经系统转发后，分别输出至 ITU-T G.694.1 标准中 C 波段 100 GHz 通道间隔的 8 个 DWDM 波长(1560.61 nm、1559.79 nm、1558.98 nm、1558.17 nm、1557.36 nm、1556.55 nm、1555.75 nm、1554.94 nm)。各波长通道下均进行频偏测试与误码监测，测试时长不少于 1 h。各波长通道下的恢复时钟频偏测试结果如表 4 所示。

测试结果表明，系统在各波长通道下均能稳定恢复时钟并完成数据透传，各通道恢复时钟频偏均满足 ITU-T G.813 标准要求^[18]，且未出现误码或失锁现象，验证了系统在灰光-彩光转换场景下的波长适应能力。



图 8 SDH 板卡

Fig 8 SDH board

表 3 资源消耗

Tab. 3. resource consumption

类型	LUT	REG	ERAM20K	PLL	IO	GCLK	SHIFTER	Serdes
数量/个	29401	46653	370	0	20	26	73	12

表 4 各波长频偏测试结果

Tab. 4. Frequency Offset Test Results for Each Wavelength

序号	波长/nm	频偏/ppm	ITU-T G.813 要求/ppm	是否满足
C21	1560.61	≤ 2.4	± 4.6	√
C22	1559.79	≤ 2.4	± 4.6	√
C23	1558.98	≤ 2.4	± 4.6	√
C24	1558.17	≤ 2.4	± 4.6	√
C25	1557.36	≤ 2.4	± 4.6	√
C26	1556.55	≤ 2.4	± 4.6	√
C27	1555.75	≤ 2.4	± 4.6	√
C28	1554.94	≤ 2.4	± 4.6	√

3.2.3 各速率业务稳定性及信号质量测试

针对 STM-1/4/16/64 四种速率等级分别开展长期稳定性、频偏及眼图测试。测试环境温度控制在 $25\pm 5^{\circ}\text{C}$ ，供电电压为标称值 $\pm 5\%$ ，业务信号由华为 OSN3500 设备提供，经被测 SDH 板卡转发后回传至仪表进行对比分析，测试期间系统连续运行、不中断业务。频偏测试采用频率计测量恢复时钟频率，记录频偏值（单位：ppm），测试时长不少于 1 h，取稳定后的最大值作为该速率等级的频偏结果；长期稳定性测试采用误码分析仪连续监测 24 h，记录误码数与帧丢失情况；眼图测试采用光传输分析仪，观测恢复时钟的眼图张开度、交叉点位置及抖动特征。各速率等级分别独立测试。

(1) 长期稳定性与误码性能

各速率等级下系统连续运行 24 小时，测试结果如图 9 所示。测试期间无误码、无帧丢失，表明系统在不同速率下均具备长期稳定运行的可靠性。

(2) 恢复时钟频偏测量

图 9 所示 STM-1/4/16/64 的最大频偏分别为 2.1 ppm、0.8 ppm、0.3 ppm 和 2.4 ppm，均满足 ITU-T

G.813 标准^[18]。其中，基于硬件 CDR 的 STM-16 方案频偏最小（0.3 ppm），基于过采样算法的 STM-1/4 频偏分别为 2.1 ppm 和 0.8 ppm，基于“CDR+自适应”的 STM-64 频偏为 2.4 ppm（裕量 47.8%）。上述结果表明，所提分层时钟恢复架构在全速率范围内均具备良好的频偏控制能力。

(3) 眼图分析

各速率等级下恢复信号的眼图如图 10 所示。在 STM-1 和 STM-4 速率下（图 10(a)、(b)），采用 8 倍过采样方案恢复的时钟眼图张开度良好、轮廓清晰，表明该方案在中低速率条件下能够有效提取时钟信息，恢复时钟的抖动分量被控制在较小范围内。在 STM-16 速率下（图 10(c)），基于芯片内嵌硬件 CDR 方案恢复的时钟眼图具有更优的张开度，眼图迹线更细、交叉点清晰，反映出模拟锁相环在相位调节精度方面的优势。在 STM-64 速率下（图 10(d)），恢复时钟眼图仍保持良好的张开度，说明硬件 CDR 在 10 Gbps 高速率条件下具备可靠的信号恢复能力，能够满足 SDH 系统对高速时钟恢复的性能要求。

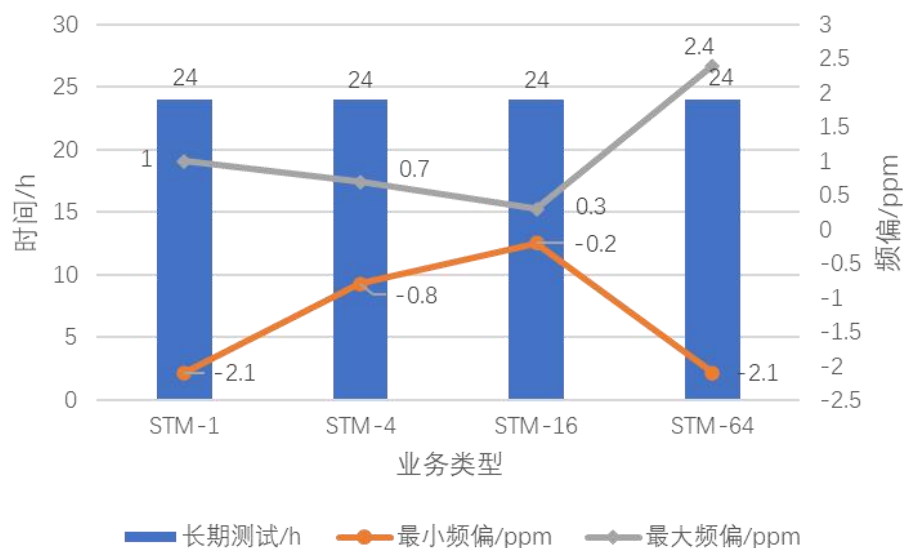


图 9 各速率业务稳定性及频偏示意图

Fig. 9. Schematic diagram of stability and frequency offset of various speed services

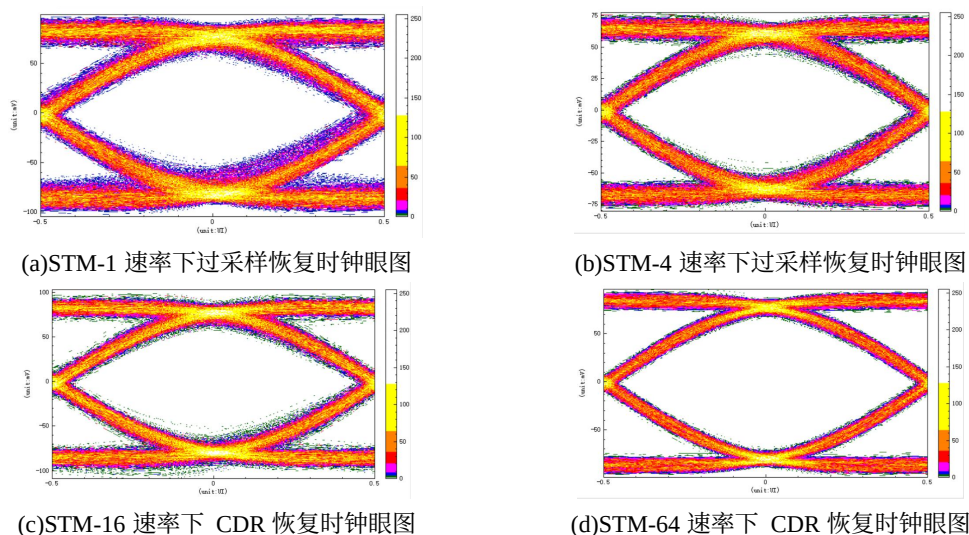


图 10 各速率等级下恢复时钟的眼图

Fig. 10. Eye diagrams of the recovered clock at different rate levels

4 结论

本文针对电力通信网汇聚层存量 STM-N 设备在灰光-彩光转换场景下的多速率适配需求,设计并实现了一种基于 SerDes 的多速率 STM-N 自适应转发系统。系统采用混合时钟恢复架构,针对 STM-1/4/16/64 四种速率等级分别采用过采样与硬件 CDR 方案,覆盖 155 Mbps~10 Gbps 跨三个数量级的速率范围。测试结果表明,各速率频偏均满足 ITU-T G.813 标准 (STM-64 频偏为 2.4 ppm,裕量 47.8%),眼图张开度良好;系统基于国产 FPGA 实现, LUT 与 REG 占用率分别为 5.44%与 9.45%,

资源效率较高;经 8 个 DWDM 标准波长通道验证,系统在不同波长下均能稳定透传,具备波长适应能力。本设计为电力通信网汇聚层存量 STM-N 设备的平滑演进提供了可行的技术路径。

参考文献

- [1] 刘林,祁兵,李彬,等.面向电力物联网新业务的电力通信网需求及发展趋势[J].电网技术,2020,44(8):3114-3130.
- [2] 李兆祺,杨贵.智能变电站通信网络架构研究[J].东北电力技术,2014,35(4):27-30.

- [3] 崔毅,韩磊,郭明洁.SDH 光纤通讯技术在智能变电站通信网络中的应用[J]. 通讯世界,2015,(12):117-118.
- [4] 卢慧娇,沈铭.SDH 业务迁移和网络演进策略研究[J].现代信息科技,2022,6(12):101-103+107.
- [5] 汤瑞,广泽晶,唐佳,等.面向新型电力系统的 fgOTN 关键技术与应用研究[J]. 电信科学,2025,41(1):16-25.
- [6] 王新贺.SDH/MSTP 老旧设备退网策略研究[J].江苏通信,2026,42(1):91-95.
- [7] 中国电子科技集团公司第三十四研究所.一种基于 FPGA 普通差分 IO 透明传输 SDH 总线数据的方法:201911335731.0[P].2020-04-10.
- [8] 华为. 焕新数智动脉: 华为 SPN 助力云南电网构建新一代高速承载网 [EB/OL] . (2026- 04) [2026- 09- 01] . <https://e.huawei.com/cn/case-studies/industries/grid/202604-yunnan-power-grid-spn>.
- [9] Cho H, Kim J, Kim C, et al. A power scalable 2–10 Gb/s PI-based clock data recovery for multilane applications[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2018, 65(9): 1159-1163.
- [10] Guanghua Shu, Woo-Seok Choi, Saurabh Saxena, et al. A 4- to- 10.5 Gb/s continuous- rate digital clock and data recovery with automatic frequency acquisition[J]. IEEE Journal of Solid- State Circuits, 2016, 51(2): 428- 439.
- [11] Jong-Hyeok Yoon, Kyeongha Kwon, Hyeon-Min Bae. A 3.125-to-28.125 Gb/s multi-standard transceiver with a fully channel-independent operation in 40nm CMOS[C]//2018 IEEE Custom Integrated Circuits Conference (CICC). San Diego, CA: IEEE, 2018: 1-4.
- [12] 何力睿,章巍,熊嘉明,等.保持模式下恒温晶振频率补偿方法[J]. 导航定位与授时,2019,6(1):87-91.
- [13] 毛志东.FPGA 多电平协议 I/O 接口电路 SERDES 的设计[D].上海:复旦大学,2012:86-87.
- [14] 高宁.高性能过采样时钟数据恢复电路的研究与设计[D].南京邮电大学,2014.
- [15] Jung I, Shin D, Kim T, et al. A 140-Mb/s to 1.82-Gb/s Continuous-Rate Embedded Clock Receiver for Flat-Panel Displays[J]. IEEE Transactions on Circuits & Systems II Express Briefs, 2009, 56(10):773-777.
- [16] 王增福.高速串行传输关键技术的研究与设计[D].西安电子科技大学,2012.
- [17] 宋驰峰,杨航宇,刘济源,等.万兆以太网高带宽低延迟接口的 FPGA 轻量化设计[J].集成电路与嵌入式系统,2025,25(6):39-47+2.
- [18] ITU-T. Timing characteristics of SDH equipment slave clocks (SEC): G.813[S].2003.

Implementation of a Multi-Rate STM-N Adaptive Forwarding System Based on SerDes

Fan Zhenqi^{1,2}, Han Yumeng^{1,2}, Tang Hui^{1,2}, Cheng Cheng^{1,2}, Zhou Yi^{1,2}, Wang Xun^{1,2}

1. State Grid Electric Power Research Institute Co., Ltd. (NARI Group Corporation), Nanjing Jiangsu; 2. Nanjing NARI Information & Communication Technology Co., Ltd., Nanjing Jiangsu

Abstract: Due to the limited fiber core resources in the aggregation layer of power communication networks, many existing devices output synchronous transport module N-level (STM-N) signals as gray light, which cannot be directly accessed by wavelength division multiplexing (WDM) systems. Traditional synchronous digital hierarchy (SDH) equipment and dedicated adaptation solutions struggle to balance multi-rate support (155 Mbps to 10 Gbps) and low-cost deployment. This article proposes a multi-rate STM-N adaptive forwarding system based on a serializer/deserializer (SerDes). The system uses a hybrid clock recovery architecture, with low-speed channels using 8x oversampling and high-speed channels using clock and data recovery (CDR). Multi-rate dynamic switching is achieved via a microcontroller unit (MCU), and frequency offset compensation and lossless transmission are managed through deviation detection and a proportional control algorithm for the FIFO buffer levels. Experimental results show that the system achieves stable multi-rate adaptive forwarding across the full 155 Mbps to 10 Gbps range, with all rate-level recovered clock frequency offsets meeting ITU-T G.813 standards, good eye diagram openings, and error-free long-term operation. Implemented on domestically produced FPGAs, the system has low resource usage. Testing over eight DWDM standard wavelength channels demonstrates the system's wavelength adaptability in gray-to-colored light conversion scenarios. This work provides a feasible technical path for the smooth evolution of existing STM-N devices at the aggregation layer of power communication networks.

Keywords: SerDes; Oversampling; Multi-rate switching; Clock recovery; SDH; wavelength conversion